

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-189677

(43)Date of publication of application : 27.10.1984

(51)Int.Cl.

H01L 29/78
H01L 29/52

(21)Application number : 58-064714 (71)Applicant : FUJITSU LTD

(22)Date of filing : 13.04.1983 (72)Inventor : NAKANO ATSUSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

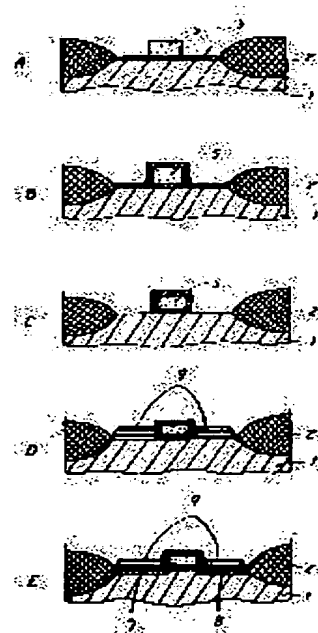
(57)Abstract:

PURPOSE: To reduce resistance, by selectively performing epitaxial growing on a silicon surface, which is to become the junction part between a source region and a drain region, then performing ion implantation, thereby forming a shallow junction layer in a substrate.

CONSTITUTION: A field oxide film 2 is formed in an inactive region of a silicon substrate 1.

Thereafter, a gate insulating film 3 is formed. Then polysilicon is grown. A gate electrode 5 is formed by patterning the polysilicon. The surface of the gate electrode 5 is oxidized. Then, the oxide film is etched, and only the silicon surface of a source and drain forming region is exposed. Thereafter,

an epitaxial single crystal thin film 9 is grown. Then, arsenic ions are implanted in the source region and the drain region. Heat treatment is performed, and a shallow junction is formed at a part deeply separated from an epitaxial-silicon interface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—189677

⑬ Int. Cl.³
H 01 L 29/78
29/52

識別記号

庁内整理番号
7377—5F

⑭ 公開 昭和59年(1984)10月27日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体装置の製造方法

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭58—64714

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭58(1983)4月13日

川崎市中原区上小田中1015番地

⑲ 発 明 者 中野淳

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上にゲート絶縁膜を形成し、該絶縁膜上にゲート電極を形成し、次いで該ゲート電極に隣接する位置にソース及びドレイン形成用窓を形成して、該窓に単結晶半導体薄膜をエピタキシャル成長により前記ゲート上面位置付近まで成長させ、該エピタキシャル単結晶薄膜と半導体基板の界面下にソース及びドレイン用接合を形成する工程//を具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置の製造方法、特にMISトランジスタの浅いソース及びドレイン領域の形成と、配線の断線防止を同時に行えるようにした半導体装置の製造方法に関するものである。

(b) 技術的背景

近年、MISトランジスタはますます高密度化される傾向にあり、MISトランジスタの横方向のみならず縦方向も縮小しなければならない。

特に拡散層の深さを浅くして高密度化すると共に、使用回路でのスイッチング・スピードをあげるといった要求が強くなってきている。

(c) 従来の技術と問題点

第1図は従来の半導体装置、例えばMISトランジスタの製造方法を説明するための図であり、同図に於いては、1はシリコン基板、2はフィールド酸化膜、3はゲート絶縁膜、4はソース領域、5はゲート電極、6はドレイン領域、10は絶縁層(例えばPSG)、11は配線層(アルミニウム(AI))をそれぞれ示す。

従来、このようなMISトランジスタのソース及びドレインの接合の形成には、熱拡散法に比べて不純物濃度の均一性の極めて良いイオン注入技術が使用されるようになった。

例えば、シリコン表面にヒ素(As)をイオン注入して拡散層を形成したMISトランジスタでは、

均に極浅いソース及びドレイン接合の形成が可能にはなるが、極浅の接合とした場合はこの拡散層の抵抗が高くなり、使用回路によってはスイッチング・スピードが速くならないことが問題になっている。

従って、高速度化するにはソース及びドレイン領域を浅くすることによってMISトランジスタのゲート長を短チャネル化し、かつ浮遊容量を減らし、同時に拡散層の抵抗を低くする必要があるが、従来の技術では拡散層を浅くすれば、たとえ高速度化しても閾値電圧があるためそれ以上は抵抗が下がらないので、抵抗が高くなる問題があった。

尚、高密度化にともない電極配線も複雑になり、断線防止が期待されている。

(ii) 発明の目的

本発明は上記従来の欠点に鑑み、MISトランジスタの拡散層の抵抗を下げ、使用回路での動作速度等の改善を計ると共に、高密度化にともない断線のない電極配線を行い高信頼化を計ることを目的とするものである。

(iii) 発明の構成

そしてこの目的は本発明によれば、半導体基板上にゲート絶縁膜を形成し、該絶縁膜上にゲート電極を形成し、次いで該ゲート電極に隣接する位置にソース及びドレイン形成用窓を形成して、該窓に単結晶半導体薄膜をエピタキシャル成長により前記ゲート上面位置付近まで成長させ、該エピタキシャル単結晶薄膜と半導体基板の界面下にソース及びドレイン用接合を形成する工程を具備したことを特徴とする半導体装置の製造方法を提供することによって達成される。

(iv) 発明の実施例

以下、本発明の実施例を図面によって詳述する。第2図は本発明実施例による半導体装置の製造方法を示す図である。

同図に於いて、1、2、3、5、10、11、の符号は第1図と同一物及び相当物を表わす。7、8は浅い接合、つまりシャロー・ジャンクション(shallow junction)を有するソース領域及びドレイン領域、9はエピタキシャル成長による単結晶

半導体薄膜層、10は絶縁層(例えば、PSG層)、11は電極配線としてアルミニウム(Al)層をそれぞれ示す。

次に、第3図A、B、C、D、E、を参照して本発明の実施例について詳細に説明する。

同図に於いて、Aは従来の方法により、シリコン基板1の不活性領域にフィールド酸化膜2が形成されたのち、ゲート絶縁膜3を形成する処理が行われ、次にポリシリコンを成長し、これをバクーニングしてゲート電極5を形成した状態を示す。次工程として、同図Bでは比較的低温(700~900℃)におけるウェット(wet)雰囲気での酸化により、ゲート電極5表面を酸化し、続いて、同図Cに示すようにポリシリコンの酸化膜、およびシリコン表面の酸化膜をエッチングし、ソース・ドレイン形成領域のシリコン表面のみを露出する。ゲート電極のポリシリコン上では先のウェット酸化時に基板表面より厚い酸化膜が形成されるので、一部の酸化膜は残っており次工程でのエピタキシャル成長はソース及びドレイン形成領

域のみに形成されることになる。次に、同図Dに示すようにソース形成領域及びドレイン形成領域のシリコン基板にエピタキシャル単結晶薄膜9を約4000Å成長させたのち、同図Eに示すように前記ソース領域及びドレイン領域にヒ素(As)をイオン注入し、熱処理を施し、浅い接合(shallow junction)をエピタキシャル・シリコン界面から約1500Å以下の深さにわたり形成する。

この後第2図に示す絶縁膜10を形成し、開口部を設けたのち、配線電極のアルミニウム(Al)11を蒸着して、最後に絶縁層10(例えばPSG)を全体に被覆して本発明の実施例による半導体装置を完成させる。

この際、使用するエピタキシャルプロセスは通常使用されるものでよく、一般に還元性雰囲気中(H₂)で900℃から1200℃に加熱された基板上に、シリコンを含んだガス、(例えば4塩化シリコン(SiCl₄)、トリクロールシラン(SiHCl₃)、ジクロールシラン(SiH₂Cl₂)、等)を送ることに

品を成長させ、容易にエピタキシャル成長薄膜を製作することができる。

本発明では、このエピタキシャル成長技術をソース領域、及びドレイン領域の接合部となるシリコン表面に選択して、エピタキシャル成長を行い、その後ヒ素(As)をイオン注入することによってエピタキシャル層直下の基板内に浅い接合層を作り、抵抗を小さくする方法を提供したものである。

エピタキシャル成長による層9は単結晶シリコンであるので、イオン注入条件及び熱処理条件によって不純物導入深さは正値に制御でき、条件的には深い拡散層を形成するのと同様であるが、エピタキシャル層部分は横方向は絶縁物層で囲まれているので、横方向の不純物拡散はここでは生じず、実効上は極浅の接合としたのと同様となる。

例えば、シリコン表面にヒ素(As)をイオン注入した場合の従来の方法による実験結果の一例を第4図Aに示す。

縦軸に不純物濃度をとり、横軸にシリコン表面からの深さの割合を示す軸で拡散層の濃度分布を

示すと、従来の方法によると高密度化の縦横寸法の制約によりどうしても拡散層の深さが3000Å程度の深さになり、横方向の拡散が無視できず、短チャネル、トランジスタの形成に制限を与えてしまう。且つこの時の表面抵抗(シート抵抗 Ω/\square)も約35 Ω/\square になって拡散層の抵抗が増大傾向になり、デバイスの使用回路によっては無視できなくなる。

これに比べて本発明の実施例を第4図に示す。

縦軸に不純物濃度をとり、横軸に本発明のエピタキシャル成長によって形成した層からの深さの割合を示すと、注入不純物はエピタキシャル成長層4000Å内に大部分が分布し、エピタキシャル成長薄膜層-シリコン界面から深さ方向1500Åの深さにソース及びドレイン接合が形成されることになり、従って、短チャネル、トランジスタの形成が容易になることがわかる。表面抵抗も前記従来のものと比べて低く、約18 Ω/\square が得られた。

拡散層の抵抗が従来の方法に比べて約半減することが確かめられ、使用回路での動作速度等の向

上が期待できる。

尚、第2図の断面図からも判るようにエピタキシャル成長薄膜層9を形成した後の高さを、ゲート電極5のポリシリコンの高さとほぼ同レベルに形成できることから、表面を平滑に仕上げることができる。

従って、これらの表面上に配線されるアルミニウム(Al)電極11の段差による断線等を防止できる特徴がある。

(四) 発明の効果

以上、詳細に説明したように、本発明による方法でもって製作したMISトランジスタでは拡散層の抵抗を減らすことにより、使用回路でのスイッチング・スピードを速くすることができる。

尚、電極配線においても無理のない段差の少ない平滑な配線形成面ができるので、MISトランジスタの性能の改善とともに信頼性の向上が期待できるので本発明の効果は大きい。

4. 図面の簡単な説明

第1図は従来の半導体装置の製造方法を説明す

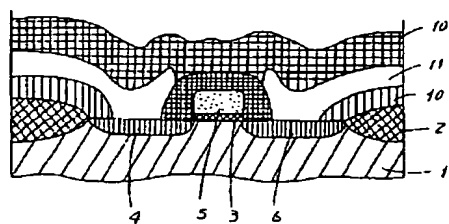
るための図、第2図は本発明の実施例の説明図、第3図は本発明の実施例の製造工程の説明図、第4図Aは従来の製造方法で製作した場合の拡散層の不純物濃度分布図の説明図である。第4図Bは本発明の実施例の拡散層の不純物濃度分布図の説明図。

図面において、1半導体基板、2はフィールド酸化膜、3はゲート絶縁膜、4はソース領域、5はゲート電極、6はドレイン領域、7は浅い接合をもつソース領域、8は浅い接合をもつドレイン領域、9はエピタキシャル成長薄膜層、10は絶縁層(例えばPSG)、11は配線層(アルミニウム(Al))

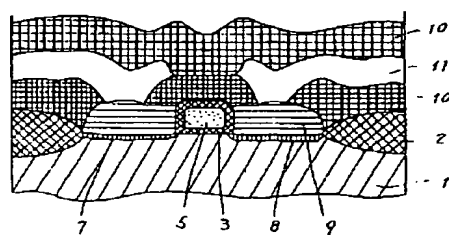
代理人 弁理士 松岡宏四郎



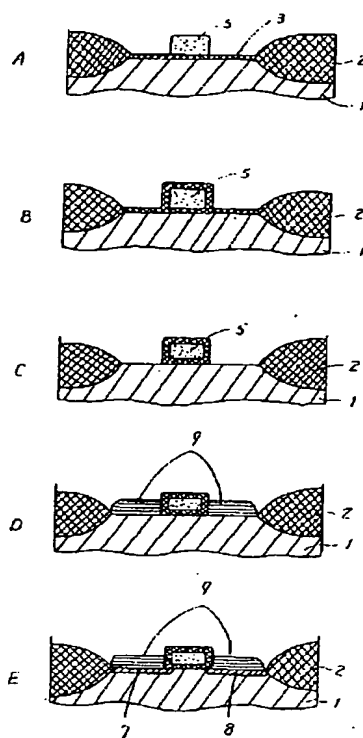
第1圖



第2圖

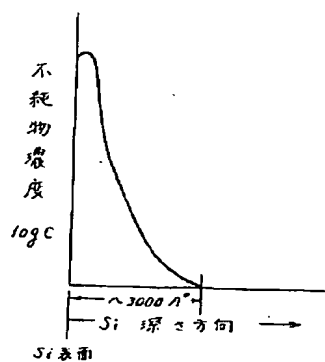


第3圖



第4圖

A



B

